校内编号：

申请类型：发明申请

申请人：浙江大学、之江实验室

发明人顺序：黄科杰 章烨炜 沈海斌

第一发明人身份证号：330222198007126952

信电学院

专利负责人：黄科杰17706443800；huangkejie@zju.edu.cn

技术联系人：章烨炜1207816855041；[21831044@zju.edu.cn](mailto:21831044@zju.edu.cn)

寄信地址及邮编：

浙江大学玉泉校区老生仪楼3楼310027

之江实验室

12330000MB1478604D

浙江省杭州市文一西路1818号

311121

说 明 书 摘 要

本发明公开了一种被动稳压电路实现的高线性度神经形态计算电路。1R1T（1 RRAM 1 Transisitor）二进制存储单元阵列和输入序列控制开关、多个位线电容电压隔离晶体管连接，输入序列控制开关接收神经网络的输入数据；每个位线电容电压隔离晶体管均经各自的被动稳压电路和偏置电路连接，多个位线电容电压隔离晶体管共同连接到模数转换电路，通过模数转换电路ADC输出计算结果。本发明能有效地在积分过程中消除因为电容电压的下降而受到沟道长度调制效应的影响，从而使积分电流更加稳定；同时能保证T0的源极电压在不同负载下的稳定性，解决了因负载的变动受到影响导致电路关于权重值的线性度较差的技术问题。

权 利 要 求 书

1、一种被动稳压电路实现的高线性度神经形态计算电路，其特征在于：包括1R1T二进制存储单元阵列、积分电容组、位线电容电压隔离晶体管T0、被动稳压电路、输入序列控制开关和偏置电路；1R1T二进制存储单元阵列和输入序列控制开关连接，输入序列控制开关接收神经网络的输入数据；1R1T二进制存储单元阵列和多个位线电容电压隔离晶体管T0连接，位线电容电压隔离晶体管T0的数量和1R1T二进制存储单元阵列中的列数相同，每个位线电容电压隔离晶体管T0均经各自的被动稳压电路和偏置电路连接，多个位线电容电压隔离晶体管T0共同连接到模数转换电路ADC，通过模数转换电路ADC输出计算结果。

2、根据权利要求1所述的一种被动稳压电路实现的高线性度神经形态计算电路，其特征在于：所述的1R1T二进制存储单元阵列是由多个1R1T存储单元排布构成，同一列的1R1T存储单元均连接到同一位线上，并和位线上的位线电容电压隔离晶体管T0的源极连接，位线电容电压隔离晶体管T0的漏极和积分电容组连接。

3、根据权利要求2所述的一种被动稳压电路实现的高线性度神经形态计算电路，其特征在于：每个1R1T存储单元包含了相串联的RRAM电阻和MOS管，MOS管的源极经RRAM电阻接地，同一列的1R1T存储单元中的所有MOS管的漏极和位线电容电压隔离晶体管T0的源极连接，同一行的1R1T存储单元中的所有MOS管的栅极均连接到各自的字线上，字线和输入序列控制开关连接；

5、根据权利要求3所述的一种被动稳压电路实现的高线性度神经形态计算电路，其特征在于：所述的输入序列控制开关主要由多个双向选择开关组成，同一行的1R1T存储单元中的所有MOS管的栅极连接到双向选择开关的固定端，双向选择开关的两个切换端分别连接到地线和数据输入线。

6、根据权利要求2所述的一种被动稳压电路实现的高线性度神经形态计算电路，其特征在于：所述的积分电容组包含了多个积分电容模块和一个补偿电容模块；积分电容模块的数量和1R1T二进制存储单元阵列中的列数相同；积分电容模块包含了两个积分电容和三个积分控制开关，位线电容电压隔离晶体管T0的漏极和模数转换电路ADC的输入端之间串联上第二积分控制开关S2和第一积分控制开关S1，两个积分电容串联后并联到第二积分控制开关S2两端，第一积分控制开关S1并联在其中一个积分电容的两端；补偿电容模块包含了一个补偿电容和两个补偿控制开关，模数转换电路ADC的输入端和第一补偿控制开关S1-、第二补偿控制开关S2-串联，第二补偿控制开关的两端并联有补偿电容。

7、根据权利要求6所述的一种被动稳压电路实现的高线性度神经形态计算电路，其特征在于：每个积分电容模块中的两个积分电容的电容值相加为固定的积分总电容值，各个积分电容模块的两个积分电容中未和第一积分控制开关S1并联的积分电容的电容值按照以下公式设置：

其中，表示积分总电容值，n表示积分电容模块的总数，表示第n个积分电容模块中未和第三积分控制开关S3并联的一个积分电容的电容值；

补偿电容模块中的补偿电容的电容值是与在补偿电容模块最邻近相连的积分电容模块中未和第三积分控制开关S3并联的积分电容的电容值相同；

8、根据权利要求1所述的一种被动稳压电路实现的高线性度神经形态计算电路，其特征在于：所述的偏置电路主要由相串联的偏置MOS管和电流源构成，偏置MOS管的栅极和漏极自相连；每个所述被动稳压电路主要有两个稳压MOS管反向串联构成，两个稳压MOS管的漏极相连接后连接到位线电容电压隔离晶体管T0的栅极，两个稳压MOS管的栅极分别连接到位线电容电压隔离晶体管T0的源极和偏置电路中偏置MOS管的栅极，两个稳压MOS管的源极分别连接到偏置MOS管和电流源串联后的两端。

9、根据权利要求1所述的一种被动稳压电路实现的高线性度神经形态计算电路，其特征在于：所述的模数转换电路ADC内包含有ADC采样电容，通过ADC采样电容与积分电容组的电荷重分配过程，完成每一位输入和权重的乘加运算后的部分积的加权求和。

10、根据权利要求1所述的一种被动稳压电路实现的高线性度神经形态计算电路，其特征在于：每个1R1T存储单元中，RRAM电阻的读取电压是根据稳压MOS管T1进行调整，具体公式为：

其中，K1为稳压MOS管T1的器件参数，Vth1为稳压MOS管T1的阈值电压，Iref为偏置电路的偏置电流大小。

说 明 书

一种被动稳压电路实现的高线性度神经形态计算电路

技术领域

本发明属于神经形态计算领域的一种神经网络计算电路，涉及一种基于被动稳压电路的多位并行二进制神经形态计算电路。

背景技术

在过去的十年里，随着物联网、云计算、计算机视觉和人工智能结合得越来越紧密，传感设备将成为智能产品连接现实世界的关键接口。然而由于大量的传感数据的产生，数据的传输以及计算也将是一个巨大的挑战。传统的智能系统因为数据的采集、处理和分析的分离处理有着构建成本高，能耗高，能耗效率低，延迟高等问题。为了解决这些问题，需要将部分的人工智能的计算放到轻量级的物联网设备上。然而，摩尔定律即将失效，处理器性能难以再通过半导体工艺的升级来得到足够的提升。因此需要新的硬件架构和软件算法来实现在有限计算能力和存储资源下的数据处理。

神经形态计算模仿人脑的结构，通过给存储器赋予计算功能，从而解决了神经网络计算时冯诺依曼结构存在的内存墙问题，是一种非常适合用于进行低功耗的神经网络处理芯片设计的异构计算方式。而高集成度和低功耗的新型阻值非易失性存储器(RRAM, Resistive Random-Access-Memory)是实现大规模并行的神经形态计算的最佳选择。通过控制RRAM的阻值,输入信号被整合转换为输出电压，从而实现了低功耗的并行乘加运算(MAC, Multiplication-and-Accumulation)。

现有的神经形态计算电路设计可以分为主动积分器实现和被动积分器实现两种。主动积分器实现的电路由于需要使用运算放大器进行读取电压的稳压，对于功耗的需求大大增加，使得计算效率大大下降。被动积分器则是利用无源器件进行电路设计从而去掉运算放大器，使功耗显著降低。然而使用被动积分器的电路在线性度上会有比较严重的问题。

发明内容

针对神经形态计算被动积分器的非线性度缺陷，本发明提出了一种新颖的利用被动稳压电路实现的积分计算电路，能够在低功耗计算的同时得到较高的线性度。

本发明所采用的技术方案是：

本发明包括1R1T二进制存储单元阵列、积分电容组、位线电容电压隔离晶体管T0、被动稳压电路、输入序列控制开关和偏置电路；1R1T二进制存储单元阵列和输入序列控制开关连接，输入序列控制开关接收神经网络的输入数据；1R1T二进制存储单元阵列和多个位线电容电压隔离晶体管T0连接，位线电容电压隔离晶体管T0的数量和1R1T二进制存储单元阵列中的列数相同，每个位线电容电压隔离晶体管T0均经各自的被动稳压电路和偏置电路连接，多个位线电容电压隔离晶体管T0共同连接到模数转换电路ADC，通过模数转换电路ADC输出计算结果。

所述的1R1T二进制存储单元阵列是由多个1R1T存储单元构成，同一列的1R1T存储单元均连接到同一位线上，并和位线上的位线电容电压隔离晶体管T0的源极连接，位线电容电压隔离晶体管T0的漏极和积分电容组连接。

每个1R1T存储单元包含了相串联的RRAM电阻和MOS管，MOS管的源极经RRAM电阻接地，同一列的1R1T存储单元中的所有MOS管的漏极和位线电容电压隔离晶体管T0的源极连接，同一行的1R1T存储单元中的所有MOS管的栅极均连接到各自的字线上，字线和输入序列控制开关连接；

所述的输入序列控制开关主要由多个双向选择开关组成，同一行的1R1T存储单元中的所有MOS管的栅极连接到双向选择开关的固定端，双向选择开关的两个切换端分别连接到地线和数据输入线。

所述的积分电容组包含了多个积分电容模块和一个补偿电容模块；积分电容模块的数量和1R1T二进制存储单元阵列中的列数相同；积分电容模块包含了两个积分电容和三个积分控制开关，位线电容电压隔离晶体管T0的漏极和模数转换电路ADC的输入端之间串联上第二积分控制开关S2和第一积分控制开关S1，两个积分电容串联后并联到第二积分控制开关S2两端，第一积分控制开关S1并联在其中一个积分电容的两端；补偿电容模块包含了一个补偿电容和两个补偿控制开关，模数转换电路ADC的输入端和第一补偿控制开关S1-、第二补偿控制开关S2-串联，第二补偿控制开关的两端并联有补偿电容。

每个积分电容模块中的两个积分电容的电容值相加为固定的积分总电容值，各个积分电容模块的两个积分电容中未和第三积分控制开关S3并联的积分电容的电容值按照以下公式设置：

其中，表示积分总电容值，n表示积分电容模块的总数，表示第n个积分电容模块中未和第三积分控制开关S3并联的一个积分电容的电容值；

补偿电容模块中的补偿电容的电容值是与在补偿电容模块最邻近相连的积分电容模块中未和第三积分控制开关S3并联的积分电容的电容值相同；

所述的偏置电路主要由相串联的偏置MOS管和电流源构成，偏置MOS管的栅极和漏极自相连；每个所述被动稳压电路主要有两个稳压MOS管反向串联构成，两个稳压MOS管的漏极相连接后连接到位线电容电压隔离晶体管T0的栅极，两个稳压MOS管的栅极分别连接到位线电容电压隔离晶体管T0的源极和偏置电路中偏置MOS管的栅极，两个稳压MOS管的源极分别连接到偏置MOS管和电流源串联后的两端。

所述的模数转换电路ADC内包含有ADC采样电容，通过ADC采样电容与积分电容组的电荷重分配过程，完成每一位输入和权重的乘加运算后的部分积的加权求和。

每个1T1R存储单元中，RRAM电阻的读取电压是根据稳压MOS管T1进行调整，具体公式为：

其中，K1为稳压MOS管T1的器件参数，Vth1为稳压MOS管T1的阈值电压，Iref为偏置电路的偏置电流大小。

本发明计算电路主要用于神经网络中矩阵卷积的相乘和累加运算。神经网络的权重矩阵映射到各个1R1T存储单元上，高阻态代表0，低阻态代表1。

本发明的创新设计如下：

1、本发明对新构建设计的存储单元结构命名为1R1T结构（图4），以和传统的存储单元作区分。通过交换1T1R存储单元中的RRAM电阻和MOS管，控制RRAM单元的读取电压主要由MOS管的栅极电压和阈值电压决定。

2、1R1T存储单元中的积分电流（饱和电流）在积分过程中会因为电容电压的下降而受到沟道长度调制效应的影响。

本发明在位线bit line上增加了一个NMOS管T0来隔离电容电压和1R1T结构中MOS管的漏极电压，最小化电容电压的变化对积分电流的影响，从而使积分电流更加稳定。

3、位线bit line的负载是由字线word line的数量及映射的权重值矩阵共同决定的，存在比较大的变化。电路中T0的源极电压会因为负载的变动受到影响，导致电路关于权重值的线性度较差。本发明设计构建了被动稳压电路来保证T0的源极电压在不同负载下的稳定性，解决了因负载的变动受到影响导致电路关于权重值的线性度较差的技术问题。

本发明的有益效果是：

本发明能有效地在积分过程中消除因为电容电压的下降而受到沟道长度调制效应的影响，从而使积分电流更加稳定；同时能保证T0的源极电压在不同负载下的稳定性，解决了因负载的变动受到影响导致电路关于权重值的线性度较差的技术问题。

本发明可以进行大规模的并行乘加运算，适合用于神经网络的推导计算。且因为改用被动积分器，电路面积和功耗大大减小，适用于部署在对功耗要求较高的终端设备中。

附图说明

图1是主动积分器实现的神经形态计算电路结构图；

图2是1T1R存储单元结构图；

图3是本发明提出的被动稳压电路实现的神经形态计算电路结构图；

图4是1R1T存储单元结构图；

图5是本发明提出的神经形态计算积分电路原理图。

具体实施方式

下面结合附图对发明的具体实施方式做进一步的说明。

现有主动积分器由于要使用运算放大器作为稳压器（图1），在多位并行的神经形态计算中，多个运算放大器的使用使得电路的计算功耗大大增加。而去掉运算放大器进行单纯的基于1T1R（1 Transistor 1 RRAM）存储单元（图2）的积分虽然能降低功耗但是积分的线性度极大地受到了电容电压下降的影响，从而难以得到精度较高的计算结果。

因此本发明设计的计算电路如图3所示，包括1R1T二进制存储单元阵列、积分电容组、位线电容电压隔离晶体管T0、被动稳压电路、输入序列控制开关和偏置电路；

1R1T二进制存储单元阵列的输入侧和输入序列控制开关连接，输入序列控制开关接收神经网络的输入数据；1R1T二进制存储单元阵列的输出侧和多个位线电容电压隔离晶体管T0连接，位线电容电压隔离晶体管T0的数量和1R1T二进制存储单元阵列中的列数相同，每个位线电容电压隔离晶体管T0均经各自的被动稳压电路和偏置电路连接，多个位线电容电压隔离晶体管T0共同连接到模数转换电路ADC，通过模数转换电路ADC输出计算结果。

位线电容电压隔离晶体管T0为NMOS管。

1R1T二进制存储单元阵列是由多个1R1T存储单元阵列排布构成，同一列的1R1T存储单元均连接到同一位线（bit line）上，并和该位线上的位线电容电压隔离晶体管T0的源极连接，位线电容电压隔离晶体管T0的漏极和积分电容组连接。

如图4所示，每个1R1T存储单元包含了相串联的RRAM电阻和MOS管，MOS管的源极经RRAM电阻接地，同一列的1R1T存储单元中的所有MOS管的漏极和位线电容电压隔离晶体管T0的源极连接，同一行的1R1T存储单元中的所有MOS管的栅极均连接到各自的字线上，字线和输入序列控制开关连接；

如图5所示，输入序列控制开关主要由多个双向选择开关组成，双向选择开关的数量和1R1T二进制存储单元阵列中的行数相同，同一行的1R1T存储单元中的所有MOS管的栅极连接到双向选择开关的固定端，双向选择开关的两个切换端分别连接到地线和数据输入线。

如图5所示，积分电容组包含了多个积分电容模块和一个补偿电容模块；积分电容模块的数量和1R1T二进制存储单元阵列中的列数相同；积分电容模块包含了两个积分电容和三个积分控制开关，位线电容电压隔离晶体管T0的漏极和模数转换电路ADC的输入端之间串联上第二积分控制开关S2和第一积分控制开关S1，两个积分电容串联后并联到第二积分控制开关S2两端，第一积分控制开关S1并联在其中一个积分电容的两端；补偿电容模块包含了一个补偿电容和两个补偿控制开关，模数转换电路ADC的输入端和第一补偿控制开关、第二补偿控制开关串联，第二补偿控制开关的两端并联有补偿电容。

由1R1T二进制存储单元阵列中的各个开关和输入序列控制开关构成了积分时序控制开关。

每个积分电容模块中的两个积分电容的电容值相加为固定的积分总电容值，各个积分电容模块的两个积分电容中未和第三积分控制开关S3并联的积分电容的电容值按照以下公式设置：

其中，表示积分总电容值，n表示积分电容模块的总数，表示第n个积分电容模块中未和第三积分控制开关S3并联的一个积分电容的电容值；

补偿电容模块中的补偿电容的电容值是与在补偿电容模块最邻近相连的积分电容模块中未和第三积分控制开关S3并联的积分电容的电容值相同；

各个积分电容模块中的第二积分控制开关S2和补偿电容模块中的第二补偿控制开关保持同步控制。各个积分电容模块中的第一积分控制开关S1和补偿电容模块中的第一补偿控制开关S1-保持同步控制。

模数转换电路ADC的输入端还连接设有开关S4，经开关S4和各个积分电容模块和一个补偿电容模块连接。

模数转换电路ADC的输入端还连接设有开关S6，各个积分电容模块和一个补偿电容模块连接到开关S6和开关S4之间，开关S6用于重置。

如图5所示，偏置电路主要由相串联的偏置MOS管和电流源构成，偏置MOS管的栅极和漏极自相连；

每个被动稳压电路主要有两个稳压MOS管反向串联构成，两个稳压MOS管的漏极相连接后连接到位线电容电压隔离晶体管T0的栅极，两个稳压MOS管的栅极分别连接到位线电容电压隔离晶体管T0的源极和偏置电路中偏置MOS管的栅极，两个稳压MOS管的源极分别连接到偏置MOS管和电流源串联后的两端。

模数转换电路ADC内包含有ADC采样电容，通过ADC采样电容与积分电容组的电荷重分配过程，完成每一位输入和权重的乘加运算后的部分积的加权求和。

每个1R1T存储单元中，RRAM电阻的读取电压是根据稳压MOS管T1进行调整，具体公式为：

(1)

其中，K1为稳压MOS管T1的器件参数，Vth1为稳压MOS管T1的阈值电压，Iref为偏置电路的偏置电流大小。

上述计算电路拓扑结构下的控制过程如下：

输入由输入序列控制开关S5控制，从低位到高位串行地从字线进入电路中进行计算。电路的控制过程分为积分阶段，电荷重分配阶段及电平重置阶段。每输入一位数据，电路完成一次积分和电荷重分配并将结果加权存储在ADC的采样电容中，然后对积分电容组进行电平重置准备进行下一位的计算。在全部输入位计算完成后，电路得到乘和运算的结果并通过ADC转为数字输出。在积分阶段，字线的输入与位线的每一个1R1T存储单元进行相乘，并以电流的形式通过位线在积分电容模块中相加并存储。此时积分电容模块的第二控制开关S2闭合，第一控制开关S1，第三控制开关S3开路和电压采样开关S4开路。补偿电容模块的第一控制开关S1-开路，第二控制开关S2-闭合。积分阶段完成后，S2， S3和S2-开路，S1，S4和S1-闭合进入电荷重分配阶段。在电荷重分配阶段，积分电容模块之间的电荷重分配使得不同位线之间的结果加权相加，积分电容组和ADC采样电容之间的电荷重分配使得不同的输入位之间的计算结果加权相加，计算结果以模拟电压的形式存储在ADC采样电容中。在电平重置阶段，S1，S1-开路，S2，S3，S2-闭合。

图5是本发明提出的被动稳压电路实现的神经形态计算电路原理图。其中每一个字线都用n个1R1T存储单元存储一个n bit位宽的权重。

积分阶段结束后第n-1位线的积分电容模块的电容电压为：

(2)

其中为第n-1位线的积分电容模块的初始电压，Di为第i行字线的1bit输入，为字线的总数量，T为积分阶段的积分时间，Ri是第i行字线的1R1T存储单元的等效电阻，VD2是1R1T存储单元的漏极电压，表示积分总电容值。设计的积分电容模块间电容满足下列约束：

(3)

积分电容模块存储的电荷根据电容值进行电荷重分配从而实现了不同位线之间的加权求和，从而得到1bit的输入矩阵与完整的权重矩阵的乘和运算结果。

ADC采样电容CS与积分电容组并联并在电荷重分配阶段实现将不同bit的输入矩阵与权重矩阵的乘和运算结果进行加权求和。通过设置CS=，则每进行一次电荷重分配后新的Vout为：

(4)

其中表示CS之前的电容电压，为积分电容组的电容电压。

假设CS的初始电压与积分电容组的初始电压相同，则经过n次的积分阶段和电荷重分配阶段后CS的电容电压变化值为：

(5)

其中为第j次积分阶段时VS电压的变化值。由公式（5）可以看出，经过n次电荷重分配阶段后，各个bit的输入矩阵与完整的权重矩阵的乘和运算结果被加权求和，从而得到了输入矩阵和权重矩阵的乘和运算结果。

关于被动稳压电路，被动稳压反馈管T1和电容电压隔离晶体管T0都工作在饱和区并构成了反馈电路。因为T1工作在饱和区，其满足如下公式：

(6)

其中，K1为T1的器件参数，Vth1为T1的阈值电压，为偏置电路的偏置电流大小,为1R1T存储单元的漏极电压。由公式（6）可以得到，1R1T存储单元的漏极电压为：

(7)

由此通过上述分析判断能够确定，本发明能有效地在积分过程中消除因为电容电压的下降而受到沟道长度调制效应的影响，使积分电流更加稳定。

以上实施例仅用于说明本发明的技术方案而非对其限制，尽管参照上述实施例对本发明进行了详细的说明，所属领域的普通技术人员应当理解；其依然可以对本发明的具体实施方式进行修改或者等同替换，而未脱离本发明精神和范围的任何修改或者等同替换，其均应涵盖在本发明的权利要求范围当中。

说 明 书 附 图



图1

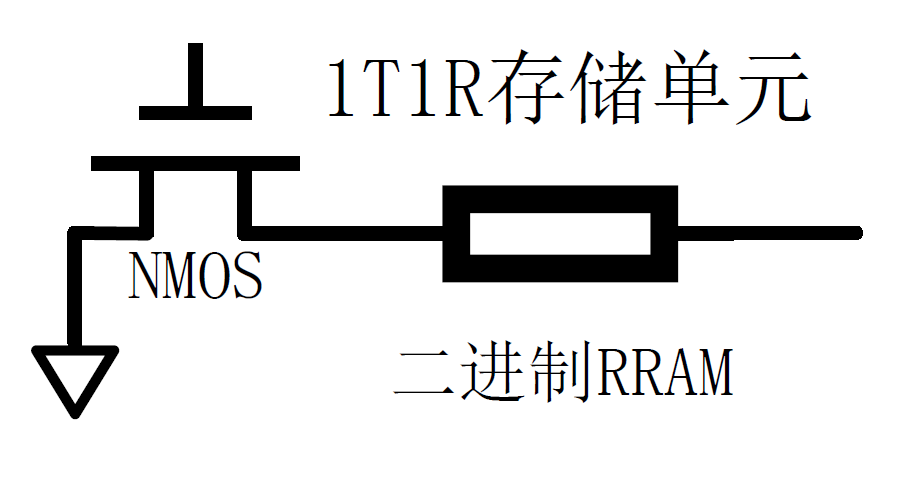


图2



图3

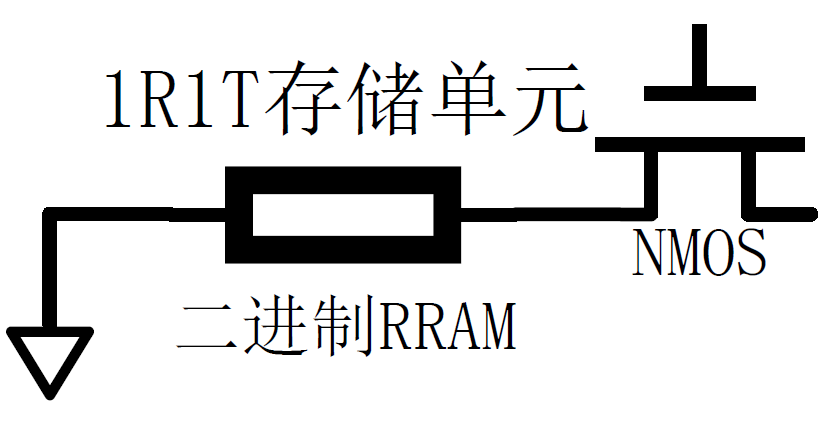


图4

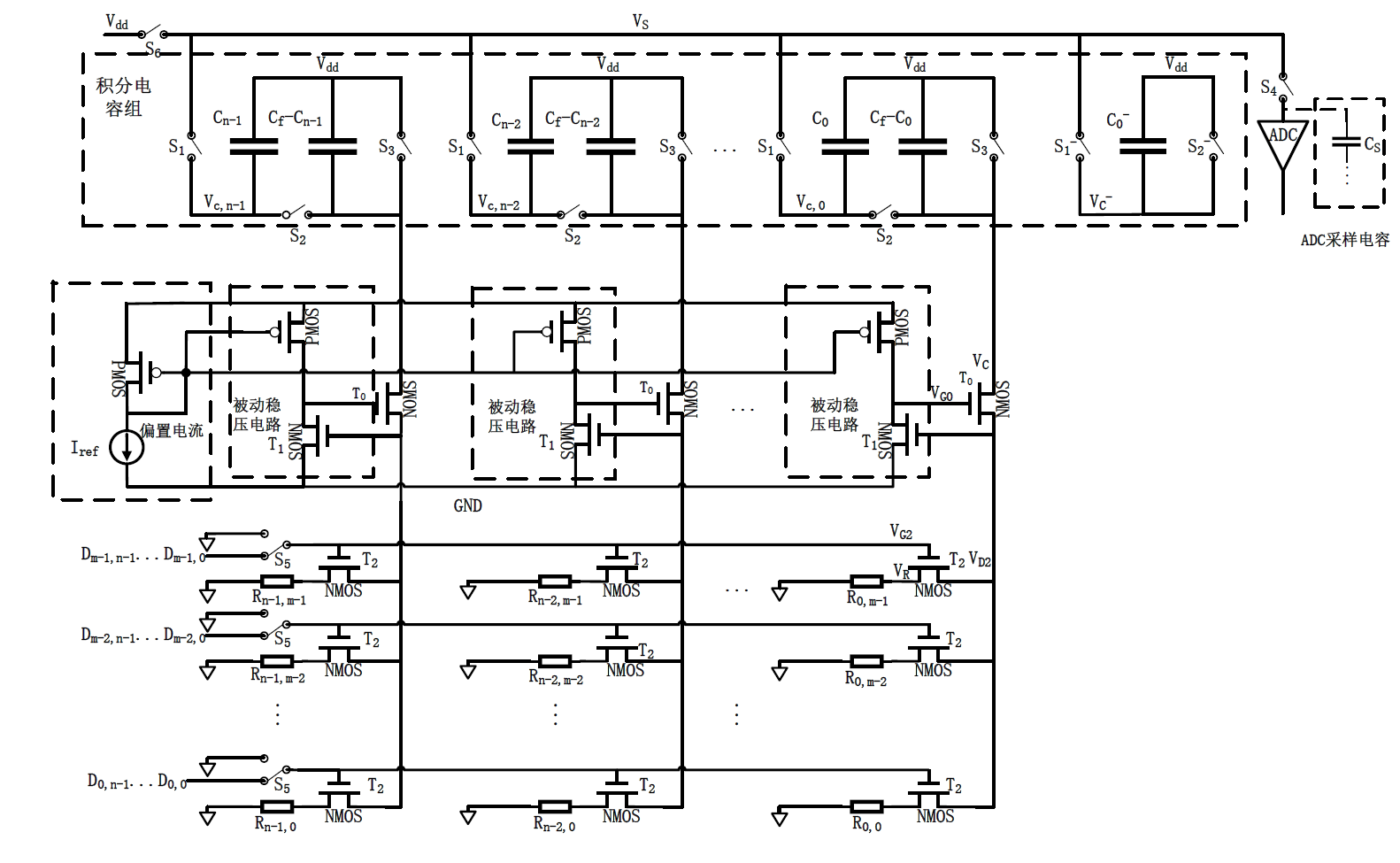


图5